



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0001051
Application Number

출원 년 월 일 : 2003년 01월 08일
Date of Application
JAN 08, 2003

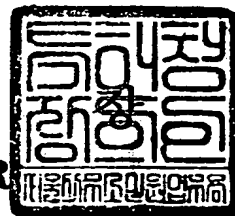
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 05 월 30 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2003.01.08
【국제특허분류】	H01L
【발명의 명칭】	게이트 상에 두꺼운 금속 실리사이드층을 형성하는 방법
【발명의 영문명칭】	Method for forming thick metal silicide layer on gate electrode
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	전진원
【성명의 영문표기】	JUN, Jin Won
【주민등록번호】	751020-1005911
【우편번호】	137-130
【주소】	서울특별시 서초구 양재동 6-2 북천빌라 201호
【국적】	KR
【발명자】	
【성명의 국문표기】	정공수
【성명의 영문표기】	CHEONG, Kong Soo
【주민등록번호】	710904-1657714

【우편번호】	121-090
【주소】	서울특별시 마포구 염리동 36-198 14/4
【국적】	KR
【발명자】	
【성명의 국문표기】	신정호
【성명의 영문표기】	SHIN, Jeong Ho
【주민등록번호】	750507-1068119
【우편번호】	151-050
【주소】	서울특별시 관악구 봉천동 1546-39
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	16 면 16,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	20 항 749,000 원
【합계】	794,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

게이트 상에 두꺼운 금속 실리사이드층(metal silicide layer)을 형성하는 방법을 제공한다. 본 발명의 일 관점에 의한 방법은, 반도체 기판 상에 하드 마스크(hard mask)를 상측에 가지는 트랜지스터의 게이트(gate of transistor)를 형성한다. 게이트의 측벽에 스페이서(spacer)를 형성한다. 스페이서에 인접하는 상기 반도체 기판 부분에 제1실리사이드층을 형성하고, 제1실리사이드층 상에 식각 종료층을 형성한다. 식각 종료층 상에 하드 마스크 및 스페이서의 상측 부위에 겹쳐지는 식각 종료층 부분을 선택적으로 노출하는 절연층을 형성한다. 절연층을 식각 마스크로 노출된 식각 종료층 부분 및 식각 종료층 부분 아래의 하드 마스크 및 스페이서의 상측 부위를 선택적으로 식각하여 게이트의 상측 표면 및 상측 측벽 표면을 노출한다. 노출된 상기 게이트의 상측 표면 및 측벽 표면에 접촉하는 금속층을 형성하고, 실리사이드화 반응시켜 게이트 상에 제2실리사이드층을 형성한다.

【대표도】

도 7

【명세서】**【발명의 명칭】**

게이트 상에 두꺼운 금속 실리사이드층을 형성하는 방법{Method for forming thick metal silicide layer on gate electrode}

【도면의 간단한 설명】

도 1 내지 도 8은 본 발명의 실시예에 의한 게이트 상에 두꺼운 금속 실리사이드층을 형성하는 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도면 부호에 대한 간략한 설명

100: 반도체 기판, 200: 게이트,

201: 노출되는 게이트 상측 표면,

205: 노출되는 게이트 측벽 표면,

230: 하드 마스크(hard mask), 250: 게이트 스페이서,

251: 게이트 스페이서의 어깨 부위,

310: 제1실리사이드층, 350: 제2실리사이드층,

400: 식각 종료층, 401: 식각 종료층의 어깨 부위,

500: 절연층.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 반도체 소자에 관한 것으로, 특히, 게이트 전극 상에 게이트 전극(gate electrode)의 저항을 안정화하기 위해서 금속 실리사이드층(metal silicide layer)을 형성할 때, 금속 실리사이드층을 위해 도입되는 금속층과 게이트 간의 접촉 영역을 확장시켜 보다 두꺼운 두께의 금속 실리사이드층을 게이트 상에 형성하는 방법에 관한 것이다.
- <12> 반도체 소자의 성능은 셀(cell)의 크기의 축소와 함께 향상되고 있는 추세이다. 그런데, 반도체 소자의 디자인 룰(design rule)이 $0.1\mu\text{m}$ 이하 급으로 축소됨에 따라 제조 공정을 진행하는 데 여러 어려움이 대두되고 있다. 예를 들어, 셀의 소자 분리 문제, $0.1\mu\text{m}$ 이하로의 게이트 패터닝의 어려움, 소스/드레인 공정(source/drain engineering), 콘택(contact)의 안정적 형성의 어려움, 제1금속층(metal-1)의 패터닝에의 어려움 등이 대두되고 있다.
- <13> 반도체 소자를 제조하는 과정에서 트랜지스터(transistor)의 제조가 완료되면, 금속 콘택(metal contact) 및 제1금속층(metal-1) 공정을 수행하여, 금속 콘택을 통하여 반도체 기판의 활성 영역(active region)과 게이트에 전원을 공급하여 트랜지스터를 동작시키도록 회로를 구성하고 있다. 이때, 활성 영역과 게이트에 각각 사용되고 있는 실리콘(Si) 및 다결정질 실리콘(poly-Si)은 그 자체로는 저항이 상당히 커서 트랜지스터에 전원을 공급하는 것이 용이하지 않다고 평가되고 있다. 이를 극복하기 위해서 실리콘

및 다결정질 실리콘의 저항을 의도적으로 낮춰주기 위한 공정이 수행되고 있다. 예를 들어, 실리사이드화(silicidation) 과정이 수행되고 있다.

<14> 이러한 트랜지스터로의 전원 공급을 원활히 하기 위해서, 트랜지스터의 소스/드레인 영역 및 게이트 상에 실리사이드층을 형성하고자 하는 실리사이드화 과정의 수행은, 예를 들어, 미합중국 특허 제 6,376,320 B1호(2002년 4월 23일자 등록, Bin Yu 등에 의한 "Method for forming field effect transistor with silicides of different thickness and of different materials for the source/drain and the gate")에 제시되고 있다. 이러한 실리사이드화 과정은 실리사이드층을 도입함으로써 소스/드레인 영역 또는 게이트를 이루는 실리콘 또는 다결정질 실리콘의 높은 저항을 보상하여 전체적인 저항을 낮추고자하는 의도로 수행되고 있다.

<15> 그런데, 반도체 소자의 디자인 룰이 $0.1\mu\text{m}$ 이하 급으로 축소됨에 따라, 이러한 전형적인 실리사이드화 과정을 통해서도 저항을 낮추는 효과를 구현하기가 매우 어려워지고 있다. 이는 디자인 룰의 감소에 따라 실질적으로 원하는 두께의 금속 실리사이드층을 구현하기가 매우 어려워지는 데 크게 기인하고 있다. 실리사이드화 과정에서 실리사이드층은 실리사이드화를 위해서 증착된 금속층과 실리콘(또는 다결정질 실리콘)이 접촉되어 있는 영역에서만 선택적으로 형성된다. 그런데, 디자인 룰이 감소됨에 따라, 이러한 접촉 영역의 크기가 크게 제한되게 되므로 형성되는 실리사이드층이 충분한 저항 낮춤의 효과를 구현하기 어려워지고 있다.

<16> 보다 상세하게 설명하면, 실리사이드화 과정은 실리콘 원자와 금속 원자의 반응에 의해서 MSi_x 의 실리사이드 물질이 생성되는 원리를 이용하고 있다. 따라서, 실리사이드화 과정의 원리에 근거하여 고려하면, 충분한 실리콘 소스(Si source)를

공급해주어야 충분한 실리사이드화 반응이 발생될 수 있다. 그런데, 반도체 소자의 디자인 룰이 디자인 룰이 $0.1\mu\text{m}$ 이하 급으로 감소됨에 따라 충분한 실리콘 소스를 제공하기가 매우 어려워지고 있다.

<17> 예를 들어, 미합중국 특허 제 6,376,320 B1호에 제시된 바에 따르면, 게이트 상에 금속 실리사이드층을 형성하기 위해서 게이트의 상측 표면을 노출하고 게이트 상에 실리사이드층을 형성하는 바가 제시되고 있다. 그런데, 디자인 룰이 $0.1\mu\text{m}$ 이하 급으로 감소됨에 따라 게이트의 폭이 $0.1\mu\text{m}$ 이하로 감소되고 있으므로, 실리사이드층을 위한 금속층은 게이트의 상측 표면(top surface) 상에 도입되게 된다. 따라서, 금속층과 다결정질 실리콘이 접촉할 수 있는 영역은 게이트의 상측 표면의 면적에 제한되게 된다. 게이트의 상측 표면적은 게이트의 폭에 따라 제한되므로, 게이트의 폭이 디자인 룰에 따라 $0.1\mu\text{m}$ 이하로 감소되면 게이트 상측 표면의 면적이 이에 의존하여 크게 감소되게 된다. 따라서, 게이트와 금속층 간의 접촉 면적 또한 이러한 게이트의 상측 표면적에 의존하여 감소될 수밖에 없다.

<18> 이와 같이 게이트와 금속층 간의 접촉 면적이 감소되면, 게이트로부터의 실리콘 소스의 공급이 제한될 수밖에 없어 충분히 두꺼운 금속 실리사이드층을 게이트 상에 형성하기는 어려워진다. 이를 완화하기 위해서 실리사이드 과정이 수행되는 온도 또는 시간을 증가시켜 실리사이드층의 두께 증가를 도모할 수 있으나, 실리사이드 과정의 수행 온도 및 시간을 증가시키는 것은 소자의 신뢰성에 의해서 제한적일 수밖에 없다. 즉, 미합중국 특허 제 6,376,320 B1호에 제시된 바와 같은 하부의 소스/드레인 영역에 이미 형성된 실리사이드층이 이러한 실리사이드화 과정의 높은 온도에 의해서 그 신뢰성이 저하되는 원하지 않는 부의 효과가 발생할 수 있다.

<19> 또한, 실질적으로 실리사이드 과정의 수행 온도 및 시간을 증가시키더라도 실리사이드화 반응을 위한 실리콘 소스의 공급은 금속층과 실리콘 간의 접촉 면적에 결정적으로 의존하게 되므로, 실리사이드 과정의 수행 온도 및 시간을 증가에 의해서 실리사이드층이 충분한 두께로 성장되는 것을 기대하기는 매우 어렵다.

<20> 따라서, 디자인 룰에 따라 $0.1\mu\text{m}$ 이하로 감소되어 게이트의 선평이 $0.1\mu\text{m}$ 이하로 크게 감소되는 경우에도 충분히 낮은 게이트의 저항을 구현하기 위해서는, 충분히 두꺼운 두께의 실리사이드층을 다결정질 실리콘의 게이트 상에 형성하는 새로운 방법이 요구된다. 이러한 충분히 두꺼운 두께의 실리사이드층을 디자인 룰에 따라 선평이 $0.1\mu\text{m}$ 이하로 감소된 게이트 상에 형성하기 위해서는, 충분한 실리콘 소스를 실리사이드화 반응에 제공할 수 있는 방법이 우선적으로 요구되게 된다. 실질적으로 충분한 실리콘 소스를 제공하기 위해서는, 실리사이드화를 위해 도입되는 금속층과 게이트 간의 접촉 면적을 크게 확장하여 제공할 수 있는 새로운 방법들이 필수적으로 요구된다.

【발명이 이루고자 하는 기술적 과제】

<21> 본 발명이 이루고자 하는 기술적 과제는, 게이트 저항 안정화를 위해서 게이트 상에 금속 실리사이드를 도입할 때, 금속 실리사이드를 형성하기 위해서 도입되는 금속층과 게이트의 노출되는 표면 사이의 접촉 면적을 보다 넓게 확보하여 실리사이드화 반응에 충분한 실리콘 소스를 제공할 수 있도록 허용하여, 게이트 상에 충분히 두꺼운 두께의 실리사이드층을 형성하여 게이트 저항을 보다 낮출 수 있는 게이트 상에 금속 실리사이드층을 형성하는 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

- <22> 상기의 기술적 과제들을 달성하기 위한 본 발명의 일 관점은, 게이트 상에 두꺼운 금속 실리사이드층을 형성하는 방법을 제공한다.
- <23> 상기 금속 실리사이드층을 형성하는 방법은 반도체 기판 상에 하드 마스크를 상측에 가지는 트랜지스터의 게이트를 형성하는 단계와, 상기 게이트의 측벽에 스페이서를 형성하는 단계와, 상기 스페이서에 인접하는 상기 반도체 기판 부분에 제1실리사이드층을 형성하는 단계와, 상기 제1실리사이드층을 덮고 상기 하드 마스크 및 상기 스페이서의 상측 부위를 노출하는 절연층을 형성하는 단계와, 상기 절연층을 식각 마스크로 노출된 상기 하드 마스크 및 상기 스페이서의 상측 부위를 선택적으로 식각하여 상기 게이트의 상측 표면 및 상기 게이트의 상측 측벽 표면을 노출하는 단계와, 노출된 상기 게이트의 상측 표면 및 측벽 표면에 접촉하는 금속층을 형성하는 단계, 및 상기 금속층을 실리사이드화 반응시켜 상기 게이트 상에 제2실리사이드층을 형성하는 단계를 포함하여 구성될 수 있다.
- <24> 여기서, 상기 절연층은 상기 하드 마스크 및 상기 스페이서와 식각 선택비를 구현하는 절연 물질, 예컨대, 상기 하드 마스크는 실리콘 질화물을 포함하여 형성될 수 있고, 상기 스페이서는 실리콘 질화물을 포함하여 형성될 수 있고, 상기 절연층은 실리콘 산화물을 포함하여 형성될 수 있다.
- <25> 상기 절연층은 상기 제1실리사이드층 상에 상기 절연층을 증착하는 단계, 및 상기 하드 마스크의 상측 표면 및 상기 스페이서의 상측 부위가 노출되도록 상기 절연층을 평탄화하는 단계를 포함하여 형성될 수 있다. 이때, 상기 절연층을 평탄화하는 단계는 상기 하드 마스크의 상측 표면을 식각 종료로 이용하여 상기 절연층을 평탄화하는 단계,

및 상기 식각 종료층을 검출한 후 상기 스페이서의 상측 부위의 측면이 노출되도록 상기 평탄화를 일정 정도 더 과도하게 수행하여 단계를 포함하여 수행될 수 있다. 또한, 상기 절연층을 평탄화하는 단계는 화학 기계적 연마를 이용하여 수행될 수 있다.

<26> 상기 제2실리사이드층은 상기 제1실리사이드층과는 다른 실리사이드 물질로 형성될 수 있다. 예컨대, 상기 제1실리사이드층은 코발트 실리사이드층을 포함하여 형성되고, 제2실리사이드층은 상기 제1실리사이드층과는 다른 니켈 실리사이드층을 포함하여 형성될 수 있다. 또한, 상기 제2실리사이드층은 상기 게이트의 상기 금속층 부분에 접촉하는 측벽 표면의 폭에 의해서 상기 제1실리사이드층에 비해 두꺼운 두께로 형성될 수 있다.

<27> 또한, 상기 금속 실리사이드층을 형성하는 방법은, 반도체 기판 상에 하드 마스크를 상측에 가지는 트랜지스터의 게이트를 형성하는 단계와, 상기 게이트의 측벽에 스페이서를 형성하는 단계와, 상기 스페이서에 인접하는 상기 반도체 기판 부분에 제1실리사이드층을 형성하는 단계와, 상기 제1실리사이드층을 덮어 보호하고 상기 하드 마스크 및 상기 스페이서를 덮도록 연장되는 식각 종료층을 형성하는 단계와, 상기 식각 종료층 상에 상기 하드 마스크 및 상기 스페이서의 상측 부위에 겹쳐지는 상기 식각 종료층 부분을 선택적으로 노출하는 절연층을 형성하는 단계와, 상기 절연층을 식각 마스크로 노출된 상기 식각 종료층 부분 및 상기 식각 종료층 부분 아래의 상기 하드 마스크 및 상기 스페이서의 상측 부위를 선택적으로 식각하여 상기 게이트의 상측 표면 및 상기 게이트의 상측 측벽 표면을 노출하는 단계와, 노출된 상기 게이트의 상측 표면 및 측벽 표면에 접촉하는 금속층을 형성하는 단계, 및 상기 금속층을 실리사이드화 반응시켜 상기 게이트 상에 제2실리사이드층을 형성하는 단계를 포함하여 구성될 수 있다.

- <28> 상기 절연층은 실리콘 산화물을 포함하여 형성될 수 있고, 상기 식각 종료층, 상기 하드 마스크 및 상기 스페이서는 각각 상기 실리콘 산화물과 식각 선택비를 구현할 수 있는 실리콘 질화물을 포함하여 형성될 수 있다.
- <29> 상기 절연층은 상기 식각 종료층 상에 상기 절연층을 증착하는 단계, 및 상기 게이트의 형상에 의해 형성되는 상기 식각 종료층의 어깨 부위가 노출되도록 상기 절연층을 평탄화하는 단계를 포함하여 형성될 수 있다. 이때, 상기 절연층을 평탄화하는 단계는 상기 하드 마스크에 겹쳐지는 상기 식각 종료층의 상측 표면을 식각 종료로 이용하여 상기 절연층을 평탄화하는 단계, 및 상기 식각 종료를 검출한 후 상기 식각 종료층의 어깨 부위의 측면이 노출되도록 상기 평탄화를 일정 정도 더 과도하게 수행하여 단계를 포함하여 수행될 수 있다.
- <30> 본 발명에 따르면, 게이트 저항 안정화를 위해서 게이트 상에 금속 실리사이드를 도입할 때, 금속 실리사이드를 형성하기 위해서 도입되는 금속층과 게이트의 노출되는 표면 사이의 접촉 면적을 보다 넓게 확보하여 실리사이드화 반응에 충분한 실리콘 소스를 제공할 수 있도록 허용하여, 게이트 상에 충분히 두꺼운 두께의 실리사이드층을 형성하여 게이트 저항을 보다 낮출 수 있다. 이에 따라, 게이트 저항의 안정화를 구현할 수 있다.
- <31> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을

강조하기 위해서 과장되어진 것이며, 도면 상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기관의 "상"에 있다라고 기재되는 경우에, 상기 어떤 층은 상기 다른 층 또는 반도체 기관에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제3의 층이 개재되어질 수 있다.

<32> 본 발명의 실시예에서는 반도체 기관 상에 트랜지스터 구조를 구현한 후, 게이트의 인근하는 소스/드레인 영역 상에 제1실리사이드층을 형성하는 단계와 게이트 상에 제2실리사이드층을 형성하는 단계를 분리하여 수행하는 바를 제시한다. 게이트 상에 제2실리사이드층을 형성할 때, 게이트의 상측 표면뿐만 아니라 게이트의 측부 표면(측면)을 노출하도록 한 후, 노출되는 게이트의 상측 표면 및 측면에 접촉하는 금속층을 형성하고 실리사이드화 반응을 수행하여 게이트 상에 제2실리사이드층을 형성하는 바를 제시한다.

<33> 본 발명의 실시예에 따르면, 게이트의 상측 표면뿐만 아니라 게이트의 측면을 노출하도록 함으로써, 금속층과 게이트와의 접촉 면적을 보다 넓게 확보할 수 있도록 허용할 수 있다. 이에 따라, 실리사이드화 반응을 수행할 때, 게이트로부터 실리콘 소스가 실리사이드화 반응으로 충분한 양이 제공되도록 유도할 수 있다. 이에 따라, 게이트의 선평이 $0.1\mu\text{m}$ 이하 급으로 크게 감소되더라도, 생성되는 실리사이드의 양이 게이트의 저항을 안정적으로 유지할 수 있을 정도로, 즉, 게이트의 저항을 충분히 낮출 수 있을 정도로 충분히 두꺼운 두께의 실리사이드층을 구현할 수 있다.

<34> 일반적으로, 실리사이드화 반응에서는 게이트를 바람직하게 구성하는 다결정질 실리콘이 실리사이드화 반응에 제공되는 정도에, 생성되는 실리사이드의 양이 실질적으로 결정적으로 의존한다고 알려져 있다. 또한, 실리사이드화 반응에의 실리콘 소스의 공급

되는 양은 게이트를 이루는 다결정질 실리콘과 금속층 간의 접촉 면적의 정도에 결정적으로 의존한다고 알려져 있다.

<35> 본 발명의 실시예에서는 실리사이드화 반응을 위한 금속층을 증착하기 이전에, 게이트의 상측 표면뿐만 아니라 게이트의 측면을 노출하는 과정을 도입함으로써, 게이트와 금속층의 실질적인 접촉 면적을 매우 크게 증가시킬 수 있다. 실질적으로, 게이트의 선평이 $0.1\mu\text{m}$ 이하 급으로 감소될 때, 게이트의 상측 표면만을 노출시킬 경우, 실리사이드화 반응에 의해서 충분한 양의 실리사이드가 생성되기는 매우 어렵다.

<36> 그러나, 본 발명의 실시예에서는 게이트의 측면을 노출시켜 게이트의 노출되는 면적을 보다 넓게 확보하여 금속층과 접촉하게 함으로써, 게이트와 금속층 사이의 접촉 면적을 크게 증가시켜 게이트로부터 금속층으로의 실리사이드화 반응을 위한 실리콘 원자의 제공을 크게 강화시킬 수 있다. 이에 따라, 실리사이드화 반응에 의해서 충분한 양의 실리사이드가 생성되는 것을 유도할 수 있어, 게이트 상에 게이트의 저항을 충분히 낮출 수 있도록 충분히 두꺼운 두께의 실리사이드층을 형성할 수 있다.

<37> 이와 같은 본 발명의 실시예는 첨부 도면들을 참조하여 보다 구체적으로 설명된다.

<38> 도 1 내지 도 8은 본 발명의 실시예에 의한 게이트 상에 실리사이드층을 형성하는 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

<39> 도 1은 게이트 스택(gate stack)을 형성하는 단계를 개략적으로 보여주는 단면도이다.

- <40> 도 1을 참조하면, 반도체 기판(100)에 활성 영역(110)을 설정하는 소자 분리 영역(150)을 형성한다. 반도체 기판(100)은 실리콘 기판을 바람직하게 이용할 수 있다. 이후에, 활성 영역(110) 상에 게이트 산화층(210)을 형성하고, 게이트 산화층(210) 상에 도전 물질, 예컨대, 도전성 다결정질 실리콘층을 증착하여 게이트층을 형성한다. 이후에, 게이트층 상에 게이트층의 패터닝 시에 식각 마스크(etch mask) 등으로 이용될 하드 마스크층을 형성한다. 사진 식각 공정 등을 이용하여 하드 마스크(230)를 식각 마스크로 이용하며 게이트층을 패터닝하여 게이트(200)를 형성한다.
- <41> 이러한 하드 마스크(230)는 다결정질 실리콘과 식각 선택비를 충분히 구현할 수 있는 실리콘 질화물(Si_3N_4) 등으로 형성되는 것이 바람직하다. 하드 마스크(230)는 패터닝되는 게이트(200)의 높이에 따라 그 두께를 달리할 수 있으며, 게이트(200)의 높이가 대략 1500\AA 내지 2000\AA 일 때 하드 마스크(230)는 대략 300\AA 내지 500\AA 정도의 두께로 형성될 수 있다. 그럼에도 불구하고, 게이트(200)의 높이가 대략 1500\AA 내지 2000\AA 의 범위 보다 높게, 예컨대, 대략 10000\AA 정도까지도 형성될 수 있으므로, 하드 마스크(230)는 게이트(200)의 높이에 의존하여 그 두께가 결정되는 것이 바람직하다.
- <42> 한편, 이러한 게이트(200)는 디자인 룰이 $0.1\mu\text{m}$ 이하 급으로 축소됨에 따라, 대략 $0.1\mu\text{m}$ 또는 그 이하의 선평으로 형성된다.
- <43> 도 2는 게이트(200)의 측부에 스페이서(spacer:250)를 형성하는 단계를 개략적으로 보여주는 단면도이다.
- <44> 도 2를 참조하면, 게이트(200)의 측부에 알려진 스페이서 형성 과정을 이용하여 스페이서(250)를 형성한다. 스페이서(250)는 후속예 증착될 층간 절연층, 예컨대, 실리콘 산화물층과 식각 선택비를 충분히 구현할 수 있는 물질, 예컨대, 실리콘 질화물로 형성

될 수 있다. 이러한 스페이서(250)는 필요에 따라 다층으로 형성될 수 있으며, 실리콘 질화물층들 사이에 중간 온도 산화물(MTO:Mid Temperature Oxide)층이 도입되는 구조로 형성될 수도 있다. 이러한 스페이서(250)는 반도체 소자에 따라, 그리고, 게이트(200)의 높이에 따라 그 두께가 달라질 수 있으나 대략 300 Å 내지 500 Å 정도로 증착된 층으로 부터 식각되어 형성될 수 있다.

<45> 스페이서(250)를 형성한 이후에, 게이트(200)에 인접한 반도체 기판(100)의 활성 영역(110)에는, 도시되지는 않았으나 트랜지스터의 소스 및 드레인 영역이 LDD(Lightly Doped Drain) 구조 등으로 형성되어 트랜지스터가 완성될 수 있다. 이러한 소스 및 드레인 영역은 이온 주입 과정(ion implantation process)을 통해서 형성된다.

<46> 도 3은 활성 영역(110) 상에 접촉하는 제1실리사이드층(310)을 형성하는 단계를 개략적으로 보여주는 단면도이다.

<47> 도 3을 참조하면, 게이트 스페이서(250)를 형성한 후, 소스/드레인 영역이 형성된 활성 영역(110)에 접촉하는 제1금속층을 증착한다. 이후에, 실리사이드화 과정을 수행하여 활성 영역(110)과 접촉하는 제1금속층 부분을 제1실리사이드화하여 제1실리사이드층(310)을 형성한다. 이후에, 실리사이드화되지 않은 부분, 즉, 활성 영역(110)과 접촉하지 않은 제1금속층 부분을 선택적으로 제거하여 제1실리사이드층(310)을 형성한다.

<48> 제1실리사이드층(310)은 소스/드레인 영역을 이루는 활성 영역(110) 부분의 상대적으로 높은 저항을 보상하여 전제 저항을 낮추는 역할을 한다. 이에 따라, 소스/드레인 영역으로의 전원 공급이 보다 낮은 저항 조건에서 보다 안정적으로 이루어지도록 유도할 수 있다.

<49> 이러한 제1실리사이드층(310)은 다양한 금속 실리사이드(MSi_x)로 이루어질 수 있다. 예를 들어, 코발트 실리사이드(CoSi_x), 니켈 실리사이드(NiSi_x), 몰리브데넘 실리사이드(MoSi_x) 등으로 이루어질 수 있다. 그럼에도 불구하고, 채널(channel)에의 영향 및 반도체 소자의 속도 및 신뢰성 등을 고려할 때, 코발트 실리사이드로 제1실리사이드층(310)이 형성되는 것이 바람직하다.

<50> 도 4는 식각 종료층(400)을 형성하는 단계를 개략적으로 보여주는 단면도이다.

<51> 도 4를 참조하면, 제1실리사이드층(310)을 덮는 식각 종료층(400)을 형성한다. 이러한 식각 종료층(400)은 부가적으로 형성되는 층으로, 후속 공정, 예컨대, 콘택을 위한 식각 공정 시에 제1실리사이드층(310)이 식각 공정에 의해서 침해되는 것을 방지하기 위해서 도입된다. 후속 공정, 예컨대, 제1금속층(metal-1) 형성 공정 등에서 제1실리사이드층(310) 상으로는 회로 형성을 위한 콘택이 형성된다. 이러한 콘택을 위한 콘택홀을 형성하는 식각 과정에 제1실리사이드층(310)이 노출될 경우, 제1실리사이드층(310)은 식각 과정에 도입되는 가스 분위기에 의해서 소실될 수 있다. 이를 방지하기 위해서 이러한 콘택홀을 형성하는 식각 과정은 이러한 제1실리사이드층(310)을 덮는 식각 종료층(400) 부분에서 식각 종료된다. 이러한 식각 종료를 위해서 식각 종료층(400)은 부가적으로 형성될 수 있다.

<52> 이러한 식각 종료층(400)은 게이트(200) 상을 덮어 봉지(encapsulating)하고 있는 하드 마스크(230)를 덮도록 연장될 수 있다. 이와 같이 하드 마스크(230)를 덮도록 연장된 식각 종료층(400) 부분은 이후에 상세히 설명하지만 후속되는 평탄화 과정에서 식각 종료점으로 이용될 수 있다.

- <53> 이러한 식각 종료층(400)은 식각 종료를 위해서 후속되는 층간 절연층을 이루는 물질, 예컨대, 실리콘 산화물과 충분한 식각 선택비를 구현할 수 있는 절연 물질로 형성되는 것이 바람직하다. 예를 들어, 실리콘 질화물 등으로 식각 종료층(400)을 형성할 수 있다.
- <54> 도 5는 하드 마스크(230) 및 스페이서(250)가 위치하는 영역에 증착되는 게이트(200)의 상측 영역을 노출하는 절연층(500)을 형성하는 단계를 개략적으로 보여주는 단면도이다.
- <55> 도 5를 참조하면, 게이트(200) 및 제1실리사이드층(310) 등을 덮는 절연층(500)을 형성한다. 이러한 절연층(500)은 게이트(200) 상측에 도입된 하드 마스크(230) 및 게이트 스페이서(250) 등과 식각 선택비를 충분히 구현할 수 있는 절연 물질로 형성되는 것이 바람직하다. 또한, 식각 종료층(400)을 도입하는 경우, 이러한 식각 종료층(400)과도 식각 선택비를 충분히 구현할 수 있는 절연 물질로 형성되는 것이 바람직하다.
- <56> 예를 들어, 하드 마스크(230) 및 게이트 스페이서(250), 식각 종료층(400)을 바람직하게 실리콘 질화물로 구성할 경우, 절연층(500)은 실리콘 질화물과 충분한 식각 선택비를 구현할 수 있다고 알려져 있는 실리콘 산화물로 구성될 수 있다. 이러한 절연층(500)은 게이트(200)와 게이트 사이의 갭(gap) 부분, 즉, 제1실리사이드층(310)의 상측 부분의 갭을 충분히 메울 수 있는 갭 채움(gap fill) 특성이 우수한 실리콘 산화물로 형성되는 것이 보다 바람직하다.
- <57> 게이트(200) 상에, 실질적으로, 하드 마스크(230) 상에(식각 종료층(400)을 도입하는 경우에는 식각 종료층(400) 상에) 게이트(200)들 간의 갭을 채우는 절연층(500)을 형

성한 후, 절연층(500)을 패터닝하여 게이트(200)의 하드 마스크(230) 및 게이트 스페이서(250)가 위치하는 영역을 선택적으로 노출한다.

<58> 이러한 절연층(500)의 패터닝은 알려진 평탄화 과정을 증착된 절연층(500)의 표면에 수행함으로써 구현될 수 있다. 즉, 절연층(500)을 게이트(200) 등을 덮도록 증착한 후, 절연층(500)의 표면을 게이트(200)의 상측 부위를 노출하도록 절연층(500)을 평탄화하여 게이트(200)의 상측에 존재하는 층들 부분을 노출시킬 수 있다.

<59> 예를 들어, 도 5에 도시된 바와 같이 식각 종료층(400)을 도입하는 경우에, 절연층(500)을 식각 종료층(400) 상에 게이트(200)들 간에 존재하는 겹을 매우도록 증착한 후, 절연층(500)의 전면을 평탄화한다. 이때, 평탄화는 화학 기계적 연마(CMP:Chemical Mechanical Polishing) 등으로 바람직하게 수행될 수 있다. 이러한 CMP는 식각 종료층(400)의 상측 표면을 식각 종료점(또는 연마 종료점)으로 이용하여 수행된다.

<60> 이때, 이러한 CMP는 식각 종료층(400)을 식각 종료점으로 검출한 이후에도 일정 정도 더 수행되어 평탄화된 절연층(500)의 표면이 식각 종료층(400)의 상측 표면보다 낮아지도록 하는 것이 바람직하다. 이를 위해서 일정 정도의 과도 CMP(over CMP) 과정을 더 수행할 수 있다. 이러한 과도 CMP는 식각 종료층(400)을 식각 종료점으로 검출한 후 일정 시간 더 CMP를 수행함으로써 구체적으로 구현될 수 있다. 필요에 따라, 절연층(500)의 상측 표면 높이는 게이트(200)의 하드 마스크(230)의 위치 아래로 낮춰질 수도 있다.

<61> 이와 같이 평탄화된 절연층(500)의 상측 표면의 높이를 식각 종료층(400)의 게이트(200)의 상측에 존재하는 상측 표면 높이 보다 낮게 유도하는 것은, 식각 종료층

(400)이 게이트(200) 스택을 덮도록 형성됨에 따라 모양이 형성되는 식각 종료층(400)의 어깨 부분(401)이 최소한 절연층(500)으로부터 노출되도록 이끄는 데 유리하기 때문이다.

<62> 이러한 식각 종료층(400)의 어깨 부분(401)을 노출하도록 유도하는 것은, 후속되는 과정에서 게이트(200)의 측벽을 가리고 있는 스페이서(250)의 상측 부분을 일부 제거하는 데 유리한 효과를 유도하기 위해서이다. 이후에 설명하지만, 본 발명의 실시예에서는 게이트(200)의 측벽을 일부 노출하는 바를 제시하게 된다. 이를 위해서 게이트 스페이서(250)의 어깨 부위(251)로부터 게이트 스페이서(250)의 상부 일부를 선택적으로 제거하는 과정을 도입하게 된다. 이러한 게이트 스페이서(250)의 일부를 선택적으로 제거하기 위해서 절연층(500)은 게이트 스페이서(250)가 위치하는 영역 부위를 노출하도록 평탄화되는 것이 바람직하다.

<63> 한편, 이전에 설명하였지만 식각 종료층(400)은 후속되는 콘택홀 형성 과정으로부터 제1실리사이드층(310)이 소실되는 것을 방지할 목적으로 도입되고 있다. 그럼에도 불구하고, 식각 종료층(400)은 절연층(500)이 노출하는 영역이 게이트 스페이서(250)가 위치하는 영역까지 확장되도록 하는 데 도움을 주는 역할도 한다. 즉, 도 5에 도시된 바와 같이 절연층(500)이 적어도 식각 종료층(400)의 게이트(200)의 상측 모서리 부위를 덮는 부위에 해당되는 식각 종료층(400)의 어깨 부위(401)를 노출하면, 이러한 식각 종료층(400)의 어깨 부위(401)는 자연스럽게 게이트 스페이서(250)가 위치하는 영역과 중첩되게 되므로, 절연층(500)은 자연스럽게 게이트 스페이서(250)가 위치하는 영역을 적어도 노출하게 된다.

- <64> 실질적으로, 식각 종료층(400)의 게이트(200) 상측 표면과 이러한 식각 종료층(400)의 어깨 부위는 근소한 단차를 가지므로, 절연층(500)을 심각히 과도하게 과도 CMP 하지 않아도 이러한 식각 종료층(400)의 어깨 부위(401)를 노출시키는 것이 가능하다. 따라서, 실질적으로 과도 CMP해야할 연마량을 줄일 수 있어 과도 CMP 과정을 단축시킬 수 있는 효과를 구현할 수 있다.
- <65> 한편, 식각 종료층(400)이 선택적으로(optionally) 도입되지 않을 경우를 고려하면, 절연층(500)은 직접적으로 게이트 스페이서(250) 및 하드 마스크(230) 상을 덮도록 증착되게 된다. 따라서, 절연층(500)이 게이트 스페이서(250)의 상측 부위, 즉, 게이트 스페이서(250)의 어깨 부위(251) 및 하드 마스크(230)의 상측 표면을 노출하도록 평탄화된다. 이때, 게이트 스페이서(250)의 어깨 부위(251)가 노출되어 게이트 스페이서(250)의 측면이 노출되도록 유도하는 것이 바람직하다.
- <66> 이를 위해서, 평탄화를 위해 바람직하게 도입되는 CMP 과정은 하드 마스크(230) 또는 게이트 스페이서(250)의 어깨 부위(251)를 의 상측 표면을 연마 종료점으로 이용하여 연마가 수행된다. 이때, 절연층(500)이 게이트 스페이서(250)의 어깨 부위(251)를 보다 확실하게 노출하기 위해서, 절연층(500)의 연마는 연마 종료점을 검출한 후 일정 정도 더 과도 연마 개념으로 수행되게 된다.
- <67> 본 발명의 실시예에서는 후속 공정으로 게이트 스페이서(250)의 상측 부위를 선택적으로 제거하여 게이트(200)의 측벽을 적어도 노출시키는 바를 제시하므로, 이러한 선택적인 제거를 위한 식각 공정에서 게이트(200)의 측벽이 노출되기 위하여 절연층(500)은 적어도 게이트 스페이서(250)의 상측 부위를 노출하거나 또는 도 5에 제시된 바와 같이 절연층(500)은 게이트 스페이서(250)가 위치하는 영역 상을 노출하게 평탄화된다.

- <68> 도 6은 하드 마스크(230) 및 스페이서(250)의 상측 부위를 선택적으로 제거하는 단계를 개략적으로 보여주는 단면도이다.
- <69> 도 6을 참조하면, 평탄화에 의해서 패터닝된 절연층(500)을 식각 마스크로 이용하여, 절연층(500)에 의해서 노출된 식각 종료층(400) 부분 및, 그 하부의 하드 마스크(230) 및 게이트 스페이서(250)의 상측 부위를 선택적으로 식각하여 제거한다. 이때, 하드 마스크(230)는 선택적으로 완전히 제거되어 게이트(200)의 상측 표면(201)이 노출되도록 한다. 또한, 절연층(500)에 노출된 게이트 스페이서(250)의 상측 부위는 게이트(200)의 상부 쪽 측면(205)이 일부 노출되도록 리세스(recess)되도록 스페이서(250)의 상측 부위 일부를 선택적으로 식각하여 제거한다.
- <70> 이와 같은 선택적인 식각은 식각 종료층(400), 하드 마스크(230) 및 게이트 스페이서(250)를 바람직하게 주되게 이루는 실리콘 질화물과 식각 마스크로 이용될 절연층(500)을 바람직하게 이루는 실리콘 산화물 간에 충분한 식각 선택비를 구현할 수 있는 식각 방법으로 수행된다.
- <71> 예를 들어, 이러한 선택적 식각이 습식 식각으로 수행될 경우, 인산을 포함하는 식각 용액을 이용하여 이러한 식각 과정을 수행함으로써, 실리콘 질화물로 주되게 구성된 식각 종료층(400)의 노출된 부분, 하드 마스크(230) 및 게이트 스페이서(250)의 상측 부위를 선택적으로 제거할 수 있다. 또한, 이러한 선택적 식각이 건식 식각으로 수행될 경우 탄화 불소(CF_x)계 식각 가스와 산소 가스 등을 포함하는 식각 가스를 이용하는 건식 식각 과정을 도입함으로써, 실리콘 질화물로 주되게 구성된 식각 종료층(400)의 노출된 부분, 하드 마스크(230) 및 게이트 스페이서(250)의 상측 부위를 선택적으로 제거할 수 있다.

- <72> 이러한 선택적인 식각에 의해서 게이트(200)의 상측 표면(201)뿐만 아니라 게이트(200)의 상측 측벽 표면(205) 또한 노출된다. 게이트(200)의 노출되는 상측 측벽 표면(205)의 폭은 상기한 선택적 식각을 수행하는 정도에 따라 더 확장된 폭으로 노출될 수 있다. 따라서, 필요에 따라, 이러한 게이트(200)의 노출되는 상측 측벽 표면(205)의 폭은 매우 넓은 폭으로, 예를 들어, 게이트의 높이의 1/2에 다다르는 넓이로도 확장될 수 있다. 즉, 게이트 스페이서(250)는 대략 50 Å 내지 10000 Å 정도까지 그 높이가 줄어들 수 있다. 그럼에도 불구하고, 게이트 스페이서(250)는 게이트(200)의 하부 측벽 표면을 일부 높이까지는 덮고 있도록 잔류되는 것이 바람직하다. 이는 게이트(200) 상에 형성될 제2실리사이드층으로부터 하부 기판(100)으로 금속 원자가 원하지 않게 확산 또는 이동되는 것을 게이트(200)가 일정 두께 잔류하여 방지할 수 있도록 허용하기 위해서이다.
- <73> 이후에 설명하지만, 이러한 게이트(200)의 노출되는 상측 측벽 표면(205)은 후속에서 형성될 제2실리사이드층의 두께에 큰 영향을 미치는 요소로 작용하므로, 제2실리사이드층의 두께를 두껍게 형성하고자 할 경우, 이러한 게이트(250)의 노출되는 상측 측벽 표면(205)의 폭은 보다 넓게 형성하게 된다. 즉, 상기한 선택적 식각 과정을 보다 길게 수행하여 게이트 스페이서(250)의 식각되는 정도를 보다 많이 조절한다.
- <74> 이와 같은 선택적 식각은 도 6에 제시된 바와 같이 게이트(200)의 상측 인근에 게이트(200)의 측벽 표면(205)을 노출하는 홈(501)이 형성된 형상을 결과적으로 구현하게 된다.
- <75> 도 7은 게이트(200)의 노출된 표면에 접촉하는 제2금속층(351)을 형성하는 단계를 개략적으로 보여준다.

<76> 도 7을 참조하면, 게이트(200)의 노출된 상측 표면(201) 및 상측 측벽 표면(205)에 접촉하는 제2금속층(351)을 절연층(500) 상에 형성한다. 이러한 제2금속층(351)은 후속의 제2실리사이드화 과정에서 게이트(200)로부터 실리콘 원자를 제공받아 게이트(200)와 접촉하는 부위에 금속 실리사이드물을 형성하고자 도입된다. 따라서, 제2금속층(351)은 게이트(200) 상에 형성하고자 하는 제2실리사이드층을 구성할 금속 원자를 제공할 수 있도록 구성되는 것이 바람직하다. 예를 들어, 코발트층, 니켈층 또는 몰리브데넘층 등으로 제2금속층(351)이 구성될 수 있으나, 게이트(200)의 저항 낮춤 효과 등을 고려할 때 니켈층을 제2금속층(351)으로 도입하는 것이 보다 바람직하다.

<77> 도 8은 제2실리사이드층(350)을 형성하는 단계를 개략적으로 보여주는 단면도이다.

<78> 도 8을 참조하면, 제2실리사이드화 과정을 수행하여 게이트(200)와 접촉하는 제2금속층(도 7의 351)의 부분을 실리사이드화한다. 이후에, 실리사이드화되지 않은 제2금속층(351) 부분을 선택적으로 제거 또는 스트립(strip)하여 게이트(200) 상에 제2실리사이드층(350)을 형성한다. 이러한 제2실리사이드층(350)은 다양한 금속 실리사이드(MSi_x)로 이루어질 수 있다. 예를 들어, 코발트 실리사이드($CoSi_x$), 니켈 실리사이드($NiSi_x$), 몰리브데넘 실리사이드($MoSi_x$) 등으로 이루어질 수 있다. 그럼에도 불구하고, 게이트(200)의 저항을 낮추는 효과를 고려할 때, 니켈 실리사이드로 제2실리사이드층(350)이 형성되는 것이 바람직하다.

<79> 한편, 제2실리사이드화 과정을 수행할 때, 본 발명의 실시예에서는, 제2금속층(도 7의 351)과 게이트(200) 사이의 접촉 면적을 크게 확보할 수 있다. 즉, 제2금속층(351)은 게이트(200)의 상측 표면(도 7의 201)뿐만 아니라 게이트(200)의 상측 측벽 표면(도

7의 205)과도 접촉하게 된다. 이와 같이 게이트(200)와 제2금속층(351) 상의 접촉 면적을 크게 확장할 수 있으므로, 제2실리사이드화 과정에서 충분한 실리콘 원자의 공급이 가능해 진다. 이에 따라, 요구되는 충분히 두꺼운 두께로 제2실리사이드층(350)이 형성 되는 것이 가능해진다.

<80> 반도체 소자의 디자인 룰이 $0.1\mu\text{m}$ 이하 급으로 축소됨에 따라, 게이트(200)의 선폭 또한 $0.1\mu\text{m}$ 이하 급으로 감소되고 있다. 따라서, 본 발명에서와 같이 게이트(200)와 제2금속층(351) 사이의 접촉 면적이 확장되지 않을 경우, 즉, 종래의 경우와 같이 제2금속층과 게이트가 게이트의 상측 표면에서만 접촉할 경우, 게이트와 제2금속층 간의 접촉 면적이 너무나 협소하여 제2실리사이드화 반응에 실리콘 원자의 공급이 원활하지 못하게 된다.

<81> 실리사이드화 반응은 충분한 실리콘 원자의 공급이 전제될 경우에 충분한 실리사이드물을 생성시킬 수 있다. 그런데, 종래의 경우와 같이 게이트와 제2금속층의 접촉 면적이 게이트의 상측 표면에 제한되고 게이트의 선폭이 $0.1\mu\text{m}$ 이하 급으로 감소되면, 게이트와 제2금속층의 접촉 면적이 충분한 실리콘 원자를 실리사이드화 반응에 제공할 정도로 충분히 확보되지 못하게 된다. 이에 따라, 충분한 양의 실리사이드물이 생성될 수 없어 제2실리사이드층의 두께는 매우 얇게 형성되게 된다. 따라서, 게이트의 저항 감소를 충분히 구현하기가 매우 어렵게 된다.

<82> 이에 반해, 본 발명의 실시예에서는 도 7에 뚜렷이 제시되는 바와 같이 게이트(200)의 상측 표면(201)으로부터 게이트(200)의 상측 측벽 표면(201)으로 제2금속층(351)과의 접촉 면적이 크게 확장될 수 있다. 이와 같이 접촉 면적이 크게 확장됨에 따라 제2실리사이드화 과정 중에 실리콘 소스의 제공이 매우 원활하게 이루어질 수 있다.

따라서, 제2실리사이드화 과정에 의해서 충분한 양의 실리사이드물이 생성될 수 있어, 충분히 두꺼운 두께로 제2실리사이드층(350)이 형성되는 것이 가능하다.

<83> 또한, 게이트 스페이서(250)의 상측 부위를 선택적으로 제거하는 식각 과정에서 식각되는 양을 보다 많이 조절하면, 게이트(200)의 노출되는 상측 측벽 표면(도 6의 205)의 폭을 보다 넓게 확장할 수 있다. 이에 따라, 제2실리사이드층(350)의 두께를 보다 두꺼운 두께로 구현하는 것이 가능해진다. 제2실리사이드층(350)을 획기적으로 두꺼운 두께로 구현할 경우, 게이트(200)로의 전원 공급 시에 저항을 매우 크게 낮출 수 있다. 따라서, 반도체 소자의 속도 및 신뢰성을 보다 크게 개선시킬 수 있다.

<84> 이와 같이 제2실리사이드층(350)을 구현한 후 도시되지는 않았으나 제2실리사이드층(350)을 덮어 절연하는 층간 절연층이 형성될 수 있고, 이러한 층간 절연층을 관통하여 제1실리사이드층(310)을 노출하는 콘택홀(contact hole)을 형성하는 과정을 회로 구성을 위해서 수행할 수 있다. 이때, 제1실리사이드층(310)을 덮고 있는 식각 종료층(310)은, 이러한 콘택홀을 형성하는 식각 과정에 제1실리사이드층(310)이 노출되어, 식각 과정에 사용되고 있는 식각 가스에 의해서 제1실리사이드층(310)이 소모 또는 소실되는 것을 방지하는 역할을 할 수 있다.

<85> 이와 같이 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 본 발명은 다양하게 변형될 수 있다. 예를 들어, 상술한 본 발명의 실시예에서는 하드 마스크를 제거하는 과정과 게이트 스페이서의 상측 부위를 리세스시키는 과정을 동일한 식각 과정으로 구현하였으나, 하드 마스크를 제거하는 과정을 분리하여 독립된 식각 과정으로 수행할 수 있다.

<86> 예를 들어, 도 3에서 제시된 바와 같이 제1실리사이드층(310)을 형성한 이후에, 하드 마스크(230)를 제거하는 공정을 도입할 수 있다. 이와 같은 하드 마스크(230)의 선택적인 제거는 인산 등을 포함하는 습식 식각 등과 같은 식각 과정에 의해서 가능하다. 이러한 경우, 본 발명의 실시예에서 도입되는 식각 종료층(도 4의 400)에 의해서 절연층(도 5의 500)의 평탄화를 위한 연마 종료는 충분히 구현될 수 있다. 이러한 경우, 게이트(200)의 측벽 표면(205)의 노출되는 폭 또는 정도를 보다 극대화할 수 있는 부가적인 효과를 구현할 수 있다.

<87> 이상, 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 본 발명은 이에 한정되지 않고, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

【발명의 효과】

<88> 상술한 본 발명에 따르면, 반도체 소자의 디자인 룰이 $0.1\mu\text{m}$ 이하 급으로 급격히 축소되어 게이트의 선평이 $0.1\mu\text{m}$ 이하 급으로 급격히 감소될 때, 게이트 상에 금속 실리사이드층이 요구되는 두께에 비해 불충분한 두께로 형성되는 것을 효과적으로 방지할 수 있다. 게이트 선평이 $0.1\mu\text{m}$ 이하 급으로 감소됨에 따라, 실리사이드화 반응 시에 게이트의 상측 표면의 넓이만으로는 충분한 양의 실리콘 소스를 공급하기가 어려우나, 본 발명의 실시예에서는 게이트의 상측 측벽 표면 또한 실리사이드화 반응을 위해 도입되는 금속층과 접촉하여 실리콘 소스를 공급하는 통로로 이용될 수 있다. 이와 같이 금속층과의 접촉하는 게이트의 표면적을 확장함으로써 실리사이드화 반응에 요구되는 실리콘 소스를 보다 원활하게 공급할 수 있다. 이에 따라, 게이트 선평의 감소에도 불구하고 충분

히 두꺼운 두께의 실리콘사이드층을 게이트 상에 형성할 수 있다. 따라서, 게이트의 저항을 충분히 낮출 수 있어, 게이트로의 전력 공급을 원활히 할 수 있다.

<89> 또한, 소스/드레인 영역 상에 도입되는 제1실리콘사이드층과 다른 실리콘사이드 물질로 게이트 상의 제2실리콘사이드층을 구현할 수 있어, 게이트로의 전력 공급 시의 저항을 보다 안정되게 조절할 수 있다.

<90> 부가적으로, 제2실리콘사이드층을 형성하는 과정에서 소스/드레인 영역 상의 제1실리콘사이드층은 절연층 등으로 보호된 상태로 유지될 수 있다. 따라서, 소스/드레인 영역으로의 전력 공급 시에 저항을 보다 안정되게 조절할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 하드 마스크를 상측에 가지는 트랜지스터의 게이트를 형성하는 단계;

상기 게이트의 측벽에 스페이서를 형성하는 단계;

상기 스페이서에 인접하는 상기 반도체 기판 부분에 제1실리사이드층을 형성하는 단계;

상기 제1실리사이드층을 덮고 상기 하드 마스크 및 상기 스페이서의 상측 부위를 노출하는 절연층을 형성하는 단계;

상기 절연층을 식각 마스크로 노출된 상기 하드 마스크 및 상기 스페이서의 상측 부위를 선택적으로 식각하여 상기 게이트의 상측 표면 및 상기 게이트의 상측 측벽 표면을 노출하는 단계;

노출된 상기 게이트의 상측 표면 및 측벽 표면에 접촉하는 금속층을 형성하는 단계; 및

상기 금속층을 실리사이드화 반응시켜 상기 게이트 상에 제2실리사이드층을 형성하는 단계를 포함하는 것을 특징으로 하는 게이트 상에 두꺼운 금속 실리사이드층을 형성하는 방법.

【청구항 2】

제1항에 있어서,

상기 절연층은 상기 하드 마스크 및 상기 스페이서와 식각 선택비를 구현하는 절연 물질로 형성되는 것을 특징으로 하는 게이트 상에 두꺼운 금속 실리사이드층을 형성하는 방법.

【청구항 3】

제2항에 있어서,

상기 하드 마스크는 실리콘 질화물을 포함하여 형성되는 것을 특징으로 하는 게이트 상에 두꺼운 금속 실리사이드층을 형성하는 방법.

【청구항 4】

제2항에 있어서,

상기 스페이서는 실리콘 질화물을 포함하여 형성되는 것을 특징으로 하는 게이트 상에 두꺼운 금속 실리사이드층을 형성하는 방법.

【청구항 5】

제2항에 있어서,

상기 절연층은 실리콘 산화물을 포함하여 형성되는 것을 특징으로 하는 게이트 상에 두꺼운 금속 실리사이드층을 형성하는 방법.

【청구항 6】

제1항에 있어서, 상기 절연층을 형성하는 단계는

상기 제1실리사이드층 상에 상기 절연층을 증착하는 단계; 및

상기 하드 마스크의 상측 표면 및 상기 스페이서의 상측 부위가 노출되도록 상기 절연층을 평탄화하는 단계를 포함하는 것을 특징으로 하는 게이트 상에 두꺼운 금속 실리콘사이드층을 형성하는 방법.

【청구항 7】

제6항에 있어서, 상기 절연층을 평탄화하는 단계는

상기 하드 마스크의 상측 표면을 식각 종료로 이용하여 상기 절연층을 평탄화하는 단계; 및

상기 식각 종료를 검출한 후 상기 스페이서의 상측 부위의 측면이 노출되도록 상기 평탄화를 일정 정도 더 과도하게 수행하여 단계를 포함하는 것을 특징으로 하는 게이트 상에 두꺼운 금속 실리콘사이드층을 형성하는 방법.

【청구항 8】

제6항에 있어서, 상기 절연층을 평탄화하는 단계는

화학 기계적 연마를 이용하여 수행되는 것을 특징으로 하는 게이트 상에 두꺼운 금속 실리콘사이드층을 형성하는 방법.

【청구항 9】

제1항에 있어서,

상기 제2실리콘사이드층은 상기 제1실리콘사이드층과는 다른 실리콘사이드 물질로 형성되는 것을 특징으로 하는 게이트 상에 두꺼운 금속 실리콘사이드층을 형성하는 방법.

【청구항 10】

제9항에 있어서,

상기 제1실리사이드층은 코발트 실리사이드층을 포함하여 형성되고,

제2실리사이드층은 상기 제1실리사이드층과는 다른 니켈 실리사이드층을 포함하여 형성되는 것을 특징으로 하는 게이트 상에 두꺼운 금속 실리사이드층을 형성하는 방법.

【청구항 11】

제1항에 있어서,

상기 제2실리사이드층은 상기 게이트의 상기 금속층 부분에 접촉하는 측벽 표면의 폭에 의해서 상기 제1실리사이드층에 비해 두꺼운 두께로 형성되는 것을 특징으로 하는 게이트 상에 두꺼운 금속 실리사이드층을 형성하는 방법.

【청구항 12】

반도체 기판 상에 하드 마스크를 상측에 가지는 트랜지스터의 게이트를 형성하는 단계;

상기 게이트의 측벽에 스페이서를 형성하는 단계;

상기 스페이서에 인접하는 상기 반도체 기판 부분에 제1실리사이드층을 형성하는 단계;

상기 제1실리사이드층을 덮어 보호하고 상기 하드 마스크 및 상기 스페이서를 덮도록 연장되는 식각 종료층을 형성하는 단계;

상기 식각 종료층 상에 상기 하드 마스크 및 상기 스페이서의 상측 부위에 겹쳐지는 상기 식각 종료층 부분을 선택적으로 노출하는 절연층을 형성하는 단계;

상기 절연층을 식각 마스크로 노출된 상기 식각 종료층 부분 및 상기 식각 종료층 부분 아래의 상기 하드 마스크 및 상기 스페이서의 상측 부위를 선택적으로 식각하여 상기 게이트의 상측 표면 및 상기 게이트의 상측 측벽 표면을 노출하는 단계;

노출된 상기 게이트의 상측 표면 및 측벽 표면에 접촉하는 금속층을 형성하는 단계 ; 및

상기 금속층을 실리사이드화 반응시켜 상기 게이트 상에 제2실리사이드층을 형성하는 단계를 포함하는 것을 특징으로 하는 게이트 상에 두꺼운 금속 실리사이드층을 형성하는 방법.

【청구항 13】

제12항에 있어서,

상기 절연층은 상기 식각 종료층, 상기 하드 마스크 및 상기 스페이서와 식각 선택비를 구현하는 절연 물질로 형성되는 것을 특징으로 하는 게이트 상에 두꺼운 금속 실리사이드층을 형성하는 방법.

【청구항 14】

제13항에 있어서,

상기 식각 종료층, 상기 하드 마스크 및 상기 스페이서는 각각 실리콘 질화물을 포함하여 형성되는 것을 특징으로 하는 게이트 상에 두꺼운 금속 실리사이드층을 형성하는 방법.

【청구항 15】

제13항에 있어서,

상기 절연층은 실리콘 산화물을 포함하여 형성되는 것을 특징으로 하는 게이트 상에 두꺼운 금속 실리사이드층을 형성하는 방법.

【청구항 16】

제12항에 있어서, 상기 절연층을 형성하는 단계는

상기 식각 종료층 상에 상기 절연층을 증착하는 단계; 및

상기 게이트의 형상에 의해 형성되는 상기 식각 종료층의 어깨 부위가 노출되도록 상기 절연층을 평탄화하는 단계를 포함하는 것을 특징으로 하는 게이트 상에 두꺼운 금속 실리사이드층을 형성하는 방법.

【청구항 17】

제16항에 있어서, 상기 절연층을 평탄화하는 단계는

상기 하드 마스크에 겹쳐지는 상기 식각 종료층의 상측 표면을 식각 종료로 이용하여 상기 절연층을 평탄화하는 단계; 및

상기 식각 종료를 검출한 후 상기 식각 종료층의 어깨 부위의 측면이 노출되도록 상기 평탄화를 일정 정도 더 과도하게 수행하여 단계를 포함하는 것을 특징으로 하는 게이트 상에 두꺼운 금속 실리사이드층을 형성하는 방법.

【청구항 18】

제12항에 있어서,

상기 제2실리사이드층은 상기 제1실리사이드층과는 다른 실리사이드 물질로 형성되는 것을 특징으로 하는 게이트 상에 두꺼운 금속 실리사이드층을 형성하는 방법.

【청구항 19】

제18항에 있어서,

상기 제1실리사이드층은 코발트 실리사이드층을 포함하여 형성되고,

제2실리사이드층은 상기 제1실리사이드층과는 다른 니켈 실리사이드층을 포함하여 형성되는 것을 특징으로 하는 게이트 상에 두꺼운 금속 실리사이드층을 형성하는 방법.

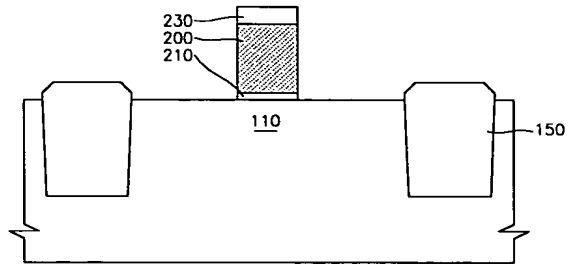
【청구항 20】

제12항에 있어서,

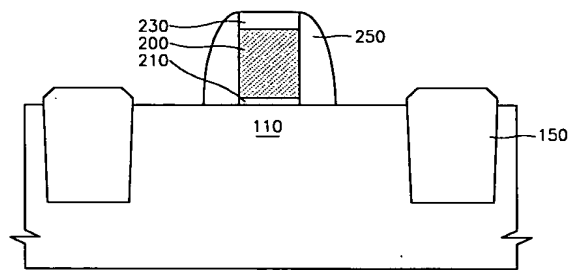
상기 제2실리사이드층은 상기 게이트의 상기 금속층 부분에 접촉하는 측벽 표면의 폭에 의해서 상기 제1실리사이드층에 비해 두꺼운 두께로 형성되는 것을 특징으로 하는 게이트 상에 두꺼운 금속 실리사이드층을 형성하는 방법.

【도면】

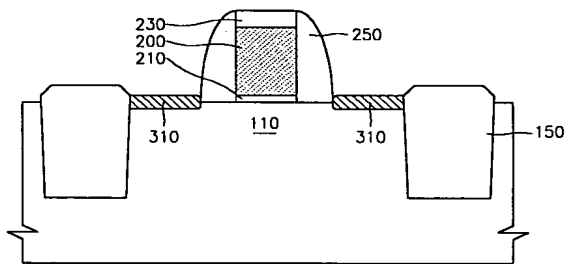
【도 1】



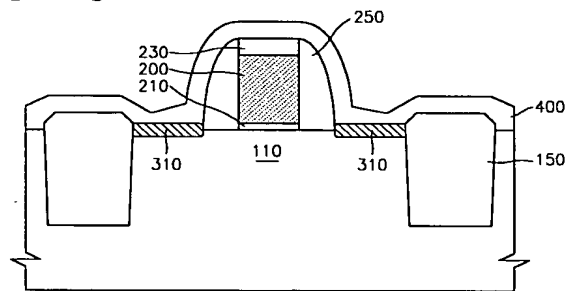
【도 2】



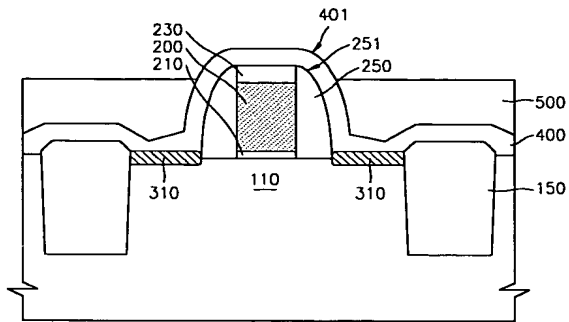
【도 3】



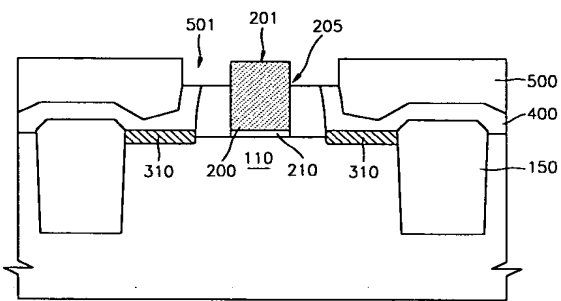
【도 4】



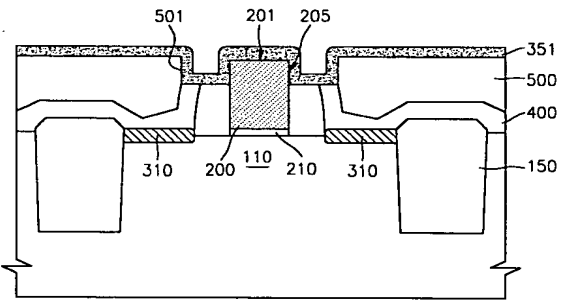
【도 5】



【도 6】



【도 7】



【도 8】

